

Attorney Docket No. 5649-919

#2, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: **Chung et al.**

Serial No.: **To be assigned**

Filed: **Concurrently herewith**

For: **SEMICONDUCTOR CAPACITORS HAVING TANTALUM OXIDE
LAYERS AND METHODS FOR MANUFACTURING SAME**

Date: January 15, 2002

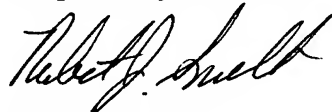
Box Patent Application
Commissioner for Patents
Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of Korean priority Application No. 2001-3165, filed January 19, 2001.

Respectfully submitted,



Robert J. Smith
Registration No. 40,820

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. **EV015810282US**

Date of Deposit: **January 15, 2002**

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231.


Meredith Schuessler

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 3165 호
Application Number

출원년월일 : 2001년 01월 19일
Date of Application

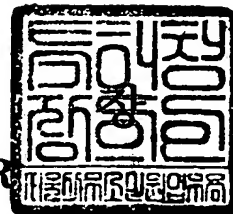
출원인 : 삼성전자 주식회사
Applicant(s)



2001 년 03 월 28 일

특 허 청

COMMISSIONER



| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0006 |
| 【제출일자】 | 2001.01.19 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 탄탈륨 산화막을 가진 반도체 커패시터 및 그의 제조방법 |
| 【발명의 영문명칭】 | A semiconductor capacitor having tantalum oxide as dielectric film and formation method thereof |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-009556-9 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-009617-5 |
| 【발명자】 | |
| 【성명의 국문표기】 | 정정희 |
| 【성명의 영문표기】 | CHUNG, Jeong Hee |
| 【주민등록번호】 | 680609-2010311 |
| 【우편번호】 | 130-061 |
| 【주소】 | 서울특별시 동대문구 제기1동 120-139 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 박인성 |
| 【성명의 영문표기】 | PARK, In Sung |
| 【주민등록번호】 | 680524-1895118 |
| 【우편번호】 | 137-073 |

| | |
|------------|--|
| 【주소】 | 서울특별시 서초구 서초3동 1509-1 삼성아파트 102동 501호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 여재현 |
| 【성명의 영문표기】 | YE0, Jae Hyun |
| 【주민등록번호】 | 730303-1621620 |
| 【우편번호】 | 403-100 |
| 【주소】 | 인천광역시 부평구 부개동 주공1단지 108동 803호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) |
| 【수수료】 | |
| 【기본출원료】 | 19 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 13 항 525,000 원 |
| 【합계】 | 554,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

본 발명은 탄탈륨 산화막을 유전막으로 하는 반도체 커패시터에 관한 것이다. 본 발명의 커패시터는 하부전극, 탄탈륨 원자와 배위결합하는 원자 또는 원자단을 포함하는 탄탈륨 전구체 및 오존가스를 소스가스로 하여 상기 하부전극 상에 화학기상증착된 탄탈륨 산화막 및 상부전극을 포함하여 구성된다. 본 발명에 따르면, 종래에 비해 도포성이 우수한 탄탈륨 산화막을 가진 반도체 커패시터의 형성이 가능하다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

탄탈륨 산화막을 가진 반도체 커패시터 및 그의 제조방법{A semiconductor capacitor having tantalum oxide as dielectric film and formation method thereof}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 실린더형 커패시터를 도시한 것이다.

도 2a 및 도 2b는 각각 본 발명의 일 비교예로 H₂O 및 O₂를 산소소스로 탄탈륨 산화막을 형성한 경우의 기판 단면을 주사전자현미경으로 촬영한 사진을 개략적으로 도시한 것이다.

도 3에 본 발명에 따른 PET와 TAT-DMAE 전구체의 온도에 따른 평형증기압을 나타낸 그래프이다.

도 4는 본 발명에 따른 기상의 탄탈륨 전구체가 Ru 하부전극 상에 흡착하는 기구를 모식적으로 도시한 것이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5> 본 발명은 반도체 커패시터에 관한 것으로, 보다 상세하게는 탄탈륨 산화막을 유전막으로 하는 반도체 커패시터 및 그의 형성방법에 관한 것이다.
- <6> 반도체 메모리 소자의 집적도가 높아짐에 따라, 좁은 공간에서 높은 정전용량을 확보하기 위해 고유전율을 가진 유전막의 사용이 요구되고 있다. 고유전율을 가진 대표적

인 물질로 탄탈륨 산화물(Ta_2O_5)를 들 수 있다.

<7> 그러나, 탄탈륨 산화막은 고유전율을 가진 반면, 종래 커패시터의 하부전극으로 사용되던 폴리실리콘과의 쉽게 반응하는 문제점을 안고 있는데, 예컨대 탄탈륨 산화막 형성과정 또는 산화막 형성 후 열처리 과정에서 폴리실리콘이 산화하는 문제점이 그것이다.

<8> 이런 문제점을 해결하기 위한 방법으로 하부전극을 상대적으로 산화되기 어려운 물질, 예컨대 Pt, Ru, Ir 등의 희금속이나 TiN 등의 도전성 금속 질화물을 사용하는 방법이 있다. 그러나, 희금속 또는 도전성 금속질화물을 하부전극으로 사용하는 경우에는 다른 문제점이 발생한다. 이를 구체적으로 살펴보면 다음과 같다.

<9> 종래의 방법에 의한 상기 탄탈륨 산화막은 PET(pentaethoxide tantalum), $Ta(OCH_3)_5$, $TaCl_5$ 등을 탄탈륨 소스로 하고 산소소스로 O_2 , H_2O , H_2O_2 , N_2O 등을 사용하여 산소분위기에서 화학기상증착하여 형성된다. 그러나, 이러한 소스가스의 조합은 하부전극의 산화로 인해 탄탈륨 산화막의 도포성에 매우 나쁜 영향을 미치게 된다. 일례로 Ru를 하부전극으로 사용하는 경우, Ru표면이 산소소스로 인해 산화하여 RuO_2 를 생성함으로써, 탄탈륨 산화막의 형성을 방해한다. 이러한 현상은 특히 어스펙트비가 큰 실린더형 또는 콘케이브(concave)형 커패시터의 유전막으로 탄탈륨 산화막을 사용하는 경우에 두드러지게 발생하는데, 실린더형 개구부 하부의 Ru전극 상에는 탄탈륨 산화막이 증착되지 않는 반면, 상부에는 탄탈륨 산화막이 두껍게 증착되어 탄탈륨 산화막의 단차도포성이 매우 나빠지는 결과를 초래한다.

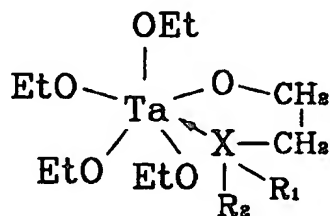
【발명이 이루고자 하는 기술적 과제】

<10> 본 발명이 이루고자 하는 기술적 과제는, 높은 어스펙트비를 가진 커패시터에 있어서, 하부전극의 산화를 억제하여 균일한 두께의 탄탈륨 산화막을 가진 반도체 커패시터 및 그의 형성방법을 제공하는 것이다.

【발명의 구성 및 작용】

<11> 상기 기술적 과제를 달성하기 위하여 본 발명은 하부전극, 다음의 구조식으로 표현되는 탄탈륨 원자와 배위결합하는 원자 또는 원자단 X를 포함하는 탄탈륨 전구체 및 오존가스를 소스가스로 하여 상기 하부전극 상에 화학기상증착된 탄탈륨 산화막 및

<12>



<13> (여기서, 상기 R1, R2는 치환기이다)

<14> 상부전극을 포함하는 반도체 커패시터를 제공한다.

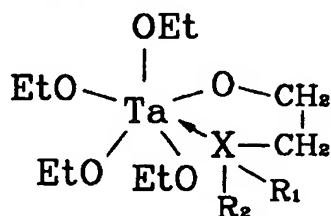
<15> 상기 기술적 과제를 달성하기 위해 본 발명은 또한, 반도체 기판 상에 하부전극을 형성하는 단계, 상기 하부전극 상에 상기의 구조식으로 표현되는 탄탈륨 원자와 배위결합한 원자 및 원자단을 포함하는 탄탈륨 전구체, 오존가스 및 퍼지가스를 순차적으로 주입하여 탄탈륨 산화막을 형성하는 단계 및 상기 탄탈륨 산화막 상에 상부전극을 형성하는 단계를 포함하는 반도체 커패시터의 형성방법을 제공한다.

<16> 이하 도면을 참조하여 바람직한 실시예를 설명함으로써, 본 발명을 상술한다. 이하의 도면에서 동일한 참조부호는 동일한 요소를 지칭한다.

<17> 도 1은 본 발명에 따라 형성된 실린더형 커패시터의 구조를 도시한 것이다. 도 1을 참조하면, 상기 실린더형 커패시터는 반도체 기판(미도시) 상에 실린더형으로 패터닝된 TEOS막(100)과 상기 TEOS막(100)의 굴곡을 따라 하부전극(110) 및 탄탈륨 유전막(120) 및 상부전극(130)이 순차적층된 구조이다. 상기 하부전극으로는 폴리실리콘, Ru, Pt 및 Ir 등의 희금속 및 TiN, TaN, WN 등의 질화막이 사용될 수 있다. 물론, 상기 단일금속의 질화막 뿐만 아니라, (Ti,Ta)N과 같이 고용체 형태의 질화막도 상부전극으로 사용 가능하다. 또한 상기 언급한 재질로된 막질이 둘 이상이 적층된 복합막이 사용될 수도 있다.

<18> 본 발명에서, 상기 탄탈륨 산화막은 다음의 구조식으로 표현되는 모노머성의 탄탈륨 전구체 및 오존가스를 소스가스로 하여 화학기상증착하여 형성된다.

<19> 【화학식 1】



<20> 여기서, 상기 X는 비공유 전자쌍을 가지고 Ta 금속과 배위결합하는 특성을 가지는 것으로서, N, S, O, C=O가 적당하다. 상기 R₁, R₂는 메틸기 등의 알킬기를 의미한다.

<21> 또한 본 발명의 탄탈륨 산화막의 증착을 위한 산소 소스로는 오존 가스가 사용된다. 상기 오존가스는 O₂, H₂O, N₂O와는 달리 400℃ 이하의 저온에서도 탄탈륨 산화막의 형성을 위한 산화제로 용이하게 사용될 수 있다.

<22> 상기 화학기상증착법은 통상의 열화학기상증착법(thermal chemical vapor

deposition) 또는 원자층적층방법에 의해 수행될 수 있다. 상기 원자층적층방법은 열화학기상증착법이 탄탈륨 전구체와 오존가스를 증착챔버 내로 동시에 흘리는 반면, 원자층적층방법은 탄탈륨 전구체와 오존가스를 챔버 내로 순차적(sequential)으로 유입시킴으로써 탄탈륨 산화막을 증착시키는 방법이다.

<23> 상기 본 발명의 원자층 적층방법은 다음의 과정을 통해 수행된다. 먼저 하부 전극(110)이 형성된 반도체 기판을 증착챔버 내로 인입한다. 이어서, 상기 증착챔버 내로 상기 화학식1로 표현되는 탄탈륨 전구체를 유입시켜 탄탈륨 전구체를 반도체 기판의 Ru 전극(110)표면에 화학적 또는 물리적 흡착을 유도한다. 상기 탄탈륨 전구체는 버블러(bubbler)방식 또는 LDS(liquid delivery system)방식을 통해 공급된다. 상기 흡착이 완료된 후 일정시간 경과후, 상기 증착챔버내로 질소 또는 아르곤 등의 불활성 퍼지가스를 유입하여 흡착된 탄탈륨 전구체 이외에 증착챔버 내에 잔류하는 탄탈륨 전구체를 제거한다. 일정시간 경과 후, 퍼지가스의 유입을 중단하고 상기 증착챔버 내로 오존가스를 유입시킨다. 유입된 오존가스는 흡착된 상기 탄탈륨 전구체와 반응하여 탄탈륨 산화막을 형성하게 된다. 이후, 상기 증착챔버내를 질소 또는 아르곤 등의 불활성 가스로 퍼지시킨 뒤, 다시 탄탈륨 전구체 유입→퍼지가스 유입→오존가스 유입→퍼지가스 유입의 사이클을 반복하여 원하는 두께의 탄탈륨 산화막(120)을 형성할 수 있다.

<24> 여기서, 상기 증착과정의 탄탈륨 전구체의 유입량은 1~2000sccm이 적당하다. 상기 퍼지 가스는 질소 또는 아르곤을 사용하며, 유입량은 1~2000sccm이 적당하다. 상기 오존가스의 유입량은 1~2000sccm이 적당하다. 상기 증착챔버의 온도는 100~600℃의 온도범위에서 유지되는 것이 바람직하며, 증착챔버의 압력은 0.1 ~ 30 torr로 유지되는 것이 바람직하다.

<25> 하부전극(110) 형성 후, 탄탈륨 산화막(120) 형성 전에 탄탈륨 산화막의 형성을 용이하게 하기 위해 상기 화학식1의 탄탈륨 전구체의 유입 및 퍼지를 수 회 실시함으로써, 탄탈륨 전처리막(미도시)을 형성하는 과정을 추가로 수행할 수 있다. 이 경우, 상기 탄탈륨 전구체 만으로도 하부전극 상에 얇은 두께의 탄탈륨 산화막이 형성되는데, 이 막질로 인해 산소 분위기에서 하부전극의 산화가 억제되는 효과를 얻어 단차도포성이 우수한 탄탈륨 산화막을 형성할 수 있다. 이에 대해서는 대한민국 특허출원 제 2001-2960호에 자세히 개시되어 있다.

<26> 이상의 과정을 거쳐 형성된 유전막(120) 상에 상부전극(130)을 형성한다. 상기 상부전극은 폴리실리콘, Ru, Pt 및 Ir 등의 회금속 및 TiN, TaN, WN 등의 질화막이 사용될 수 있다. 물론, 상기 단일금속의 질화막 뿐만 아니라, (Ti,Ta)N과 같이 고용체 형태의 질화막도 상부전극으로 사용 가능하다. 또한 상기 언급한 재질로 된 막질이 둘 이상이 적층된 복합막이 사용될 수도 있다.

<27> 실험예1

<28> 어스펙트비가 약 15인 실린더 형의 Ru 하부전극 상에 TAT-DMAE(Tetraethoxy Tantalum-DiMethylAminoEthoxide)를 탄탈륨 전구체로 하고, O₃를 산소소스로 하여, 탄탈륨 유전막을 형성하였다. 유전막 형성은 탄탈륨 전구체 유입→퍼지→O₃ 유입→퍼지를 한 사이클로 한 원자층 적층방법을 사용하였다. 이 때, 챔버 온도는 250℃, 300℃, 350℃, 400℃로 유지하였다. 상기 각 온도에서 증착된 탄탈륨 산화막의 상부 두께(도 1의 t₁) 및 하부 두께(도 1의 t₂)를 측정하여 표 1에 나타내었다.

<29>

【표 1】

| 구분 | 250℃ | 300℃ | 350℃ | 400℃ |
|----------------|------|------|------|------|
| t ₁ | 240 | 103 | 233 | 244 |
| t ₂ | 220 | 102 | 207 | 228 |

<30> 표 1에 나타난 바와 같이, 온도에 따라 증착된 막의 두께는 다르지만, 상부 및 하부에 있어서, 대체로 균일한 두께의 탄탈륨 산화막을 얻을 수 있음을 알 수 있다.

<31> 비교예1

<32> 본 발명과 비교를 위해 탄탈륨 전구체로 PET를, 산소소스로 H₂O와 O₂를 각각 사용하여 350℃의 온도에서 원자층적층방법으로 탄탈륨 산화막을 형성하였다. 도 2a 및 도 2b에 상기 각각의 산소소스로 탄탈륨 산화막을 형성한 경우의 기판 단면을 주사전자현미경으로 촬영한 사진을 개략적으로 도시하였다. H₂O가 산소소스인 경우, 도 2a에 도시된 바와 같이, 개구부(140)의 상부에는 탄탈륨 산화막(130)이 형성되었으나, 개구부(140)의 하부에는 탄탈륨 산화막이 형성되지 않았다. 이것은 개구부의 하부에서 Ru막(110)의 표면산화로 인한 RuO₂(110')로 인해 탄탈륨 산화막(130)의 형성이 방해받기 때문으로 생각된다. 도 2b에 도시된 바와 같이, O₂를 산소소스로 사용한 경우에는 개구부(140) 전체에 걸쳐 탄탈륨 산화막이 형성되지 않았다.

<33> 비교예2

<34> 탄탈륨 전구체로 PET를 사용하고, 산소소스로 O₃를 사용하여, 250℃, 300℃, 350℃ 및 400℃의 온도에서 원자층 적층방법으로 탄탈륨 산화막을 형성하였다.

<35> 이 경우, 앞서 비교예1의 H₂O를 산소소스로 사용한 경우와 유사한 양상을 나타내었다. 이를 도 2a를 참조하여 설명하면, 각 온도에서 실린더형 개구부(140)의 상부에는 탄

탈륨 산화막(120)이 형성되었으나, 하부에는 탄탈륨 산화막이 형성되지 않았고, 증착온도가 증가함에 따라 탄탈륨 산화막(120)이 형성되는 깊이(도 2a의 h)가 증가하는 경향을 나타내었다. 표 2에 300℃ 및 350℃에서 형성된 탄탈륨 산화막(120)의 상부 및 하부 두께(도 1의 t_1 , t_2)와 탄탈륨 산화막(120)이 형성된 깊이(도 2a의 h) 측정값을 나타내었다.

<36> 【표 2】

| 구분 | 300℃ | 350℃ |
|-----------|------|------|
| t_1 (Å) | 549 | 456 |
| t_2 (Å) | ~0 | ~0 |
| h (Å) | 3000 | 6700 |

<37> 이하에서는 화학식 1로 표시되는 본 발명의 탄탈륨 전구체가 다른 탄탈륨 전구체, 예컨대 PET에 비해 우수한 도포성을 가지는 이유는 분자구조에 기인한 입체장애(steric hinderance)의 관점에서 평형증기압 및 흡착계수(sticking probability; β)를 통해 설명한다.

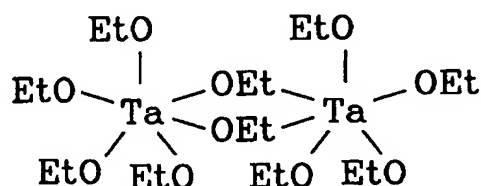
<38> 도 3에 PET와 TAT-DMAE의 온도에 따른 평형증기압(equilibrium vapor pressure)을 나타내었다. 도시된 전 온도구간에서 TAT-DMAE의 평형증기압이 PET의 평형증기압에 비해 높음을 알 수 있다. 따라서, 동일한 온도에서는 TAT-DMAE의 평형증기압이 PET의 평형증기압에 비해 훨씬 높게 된다. 본 발명에서는 탄탈륨 전구체 소스가스를 PET의 경우 약 140℃의 온도에서, TAT-DMAE의 경우 120℃의 온도에서 공급하였으므로 이 경우에도 평형증기압이 TAT-DMAE의 경우가 약 2배 정도 높게 된다. 평형증기압이 높다는 것은 기상으로 존재하는 분자수가 많다는 것을 의미하므로 TAT-DMAE의 경우에 증착챔버 내로 공급되는 탄탈륨 소스가스의 양이 많아서, 실린더형 개구부의 하부에 직접 공급되는 분자의 수

도 많이 된다. 따라서, 본 발명의 전구체로 사용된 TAT-DMAE는 종래의 PET에 비해 도포성이 우수한 탄탈륨 산화막을 형성할 수 있게 한다.

<39> 이와 같은 증기압의 차이는 입체 효과(steric effect)에 의해 설명할 수 있다. 1989년 미국화학학회(American Chemical Society) Chem. Rev.에 발표된 브래들리(Bradley) 씨의 논문 'Metal Alkoxides as Precursors for Electronic and Ceramic Materials'은, 부피가 작은 알콕사이드의 경우 부피가 큰(bulky) 경우보다 알콕사이드 그룹의 브릿지(bridge)에 의해 다이머(dimers), 트리머(trimers) 등의 소중합체(oligomers)를 이루는 경향이 있어, 이로 인해 알콕사이드의 증기압에 큰 영향을 미치는 것으로 보고하고 있다.

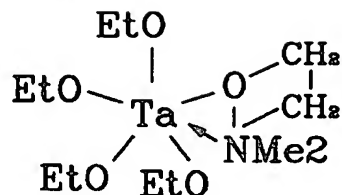
<40> 이에 따라 해석하면, PET의 산소원자는 주위의 탄탈륨 원자와 공유결합을 함으로써, 배위수를 늘리게 되는 경향을 가지고 있으므로 액체 상태에서 다음의 분자구조를 가지기 쉽다.

<41> 【화학식 2】



<42> 반면, TAT-DMAE의 경우, 산소와 공유결합하고 있는 질소원자가 Ta 원자와 배위결합하고 있기 때문에 액상에서도 모노머 형태로 존재하며, 다음의 구조식으로 표현될 수 있다.

<43> 【화학식 3】



<44> 따라서, PET는 본 발명의 TAT-DMAE 전구체에 비해 열적 안정성이 높아 휘발되기 위해서는 분자간 결합을 끊기 위해 많은 에너지가 소모되어 낮은 증기압을 가지게 된다.

<45> 한편, 전구체의 도포성에 영향을 미치는 다른 인자로는 흡착계수를 고려해 볼 수 있다. 일본응용물리학회지(Japanese Journal of Applied Physics) 38권(pp. 2205-2209)에 게재된 가와하라(Kawahara) 씨 등의 논문 'Conformal Step Coverage of (Ba,Sr)TiO₃ Films Prepared by Liquid Source CVD Using Ti(t-BuO₂)₂(DPM)₂'은, Ti(t-BuO₂)₂(DPM)₂ 전구체를 사용한 경우가 Ti(DPM)₂ 전구체를 사용한 경우에 비해 형성된 (Ba,Sr)TiO₃ 박막의 단차도포성이 우수하다고 보고하고 있다. 상기 논문에서 사용된 Ti(t-BuO₂)₂(DPM)₂의 흡착계수는 약 0.02이며, Ti(DPM)₂의 흡착계수는 약 0.1 이므로, 흡착계수가 낮을 경우 도포성이 우수한 박막을 얻을 수 있음을 보여주는 것이다.

<46> 이와 관련하여, 이시우 씨 등이 제 6회 한국반도체학술대회에서 발표한 'Chemical Vapor deposition Precursors for (Ba,Sr)TiO₃ Films'란 논문을 보면, Ti의 증착은 표면 반응(surface reaction)을 율속단계(rate determining step)로 하여 증착이 이루어지며, 높은 도포성은 Ti의 표면이동에 의해 이루어진다고 하고 있다.

<47> 따라서, 이를 종합해 보면, 흡착계수가 낮은 Ti 전구체의 경우가 표면이동이 용이하여 도포성이 높은 박막을 제조하는데 바람직하다는 결론에 이른다. 흡착계수는 전구체의 입체 장애의 관점에서 보면, 일반적으로 부피가 큰(bulky) 전구체가 부피가 작은 전

구체보다 흡착계수가 작으므로, 본 발명의 TAT-DMAE 전구체가 PET보다 흡착계수가 높다고 추측할 수 있고, 이로 인해 TAT-DMAE의 도포성이 우수하다는 것을 설명할 수가 있을 것이다.

<48> 도 4는 기상의 탄탈륨 전구체가 Ru 하부전극(110) 상에 흡착하는 기구를 모식적으로 도시한 것이다. 도시된 바와 같이, 탄탈륨 전구체가 상기 Ru 전극(110)이 형성하는 개구부의 하부에 도달하는 기구는 개구부(140) 상부로부터의 표면이동(1) 또는 개구부(140) 하부로의 직접전달(2)에 의한 것이 있다. 따라서, 도 2a 또는 도 3에 도시된 바와 같이, Ru 하부전극(110)의 하부에서 Ru이 산화되는 현상을 방지하기 위해서는 공급된 탄탈륨 전구체가 앞서 언급한 표면확산 또는 직접전달에 의해 하부전극(110) 전체에 걸쳐 균일하게 흡착,도포되어야 한다. 이를 위해서는 기판에 흡착된 전구체의 표면이동이 용이하여야 하며, 증기압이 높아 공급되는 전구체의 양이 많아야 할 것이다. 이러한 점에서, 본 발명의 TAT-DMAE 등의 전구체는 종래의 전구체인 PET 등에 비해 증기압이 높고, 표면이동 특성이 우수하여 결국 도포성이 우수한 탄탈륨 산화막의 형성을 가능하게 해주는 것으로 볼 수 있다.

【발명의 효과】

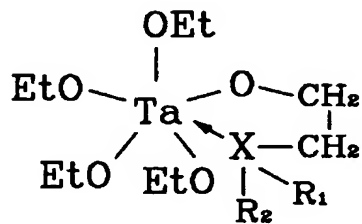
<49> 본 발명에 따르면, 탄탈륨 원자와 배위결합한 원자 또는 원자단을 가진 탄탈륨 전구체를 사용하고, 오존가스를 산소소스로 사용함으로써, 종래에 비해 도포성이 우수한 탄탈륨 산화막을 가진 반도체 커패시터의 형성이 가능하다.

【특허청구범위】

【청구항 1】

하부전극;

다음의 구조식으로 표현되는 탄탈륨 원자와 배위결합하는 원자 또는 원자단 X를 포함하는 탄탈륨 전구체 및 오존가스를 소스가스로 하여 상기 하부전극 상에 화학기상증착된 탄탈륨 산화막; 및



(여기서, 상기 R₁, R₂는 치환기이다)

상부전극을 포함하는 반도체 커패시터.

【청구항 2】

제 1 항에 있어서, 상기 하부전극은 폴리실리콘, 희금속 또는 도전성 금속질화물 중에서 선택된 하나 이상의 재질을 포함하는 것을 특징으로 하는 반도체 커패시터.

【청구항 3】

제 2 항에 있어서, 상기 희금속은 Ru, Ir 또는 Pt인 것을 특징으로 하는 반도체 커패시터.

【청구항 4】

제 2 항에 있어서, 상기 도전성 금속질화물은 TiN, TaN 또는 WN에서 선택된 하나 이상의 재질인 것을 특징으로 하는 반도체 커패시터.

【청구항 5】

제 1 항에 있어서, 상기 X는 N, S, O 또는 C=O 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 커패시터.

【청구항 6】

제 1 항에 있어서, 상기 상부전극은 폴리실리콘, 희금속 또는 도전성 금속질화물 중에서 선택된 하나 이상의 재질을 포함하는 것을 특징으로 하는 반도체 커패시터.

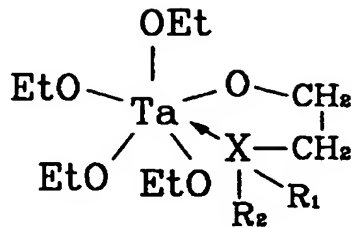
【청구항 7】

제 1 항에 있어서, 상기 탄탈륨 산화막은 약 100~600℃의 온도에서 수행되는 것을 특징으로 반도체 커패시터.

【청구항 8】

반도체 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 다음의 구조식으로 표현되는 탄탈륨 원자와 배위결합한 헥테로 원자를 포함하는 탄탈륨 전구체, 오존가스 및 퍼지가스를 단속적으로 주입하여 탄탈륨 산화막을 형성하는 단계; 및



상기 탄탈륨 산화막 상에 상부전극을 형성하는 단계를 포함하는 반도체 커패시터의 형성방법.

【청구항 9】

제 8 항에 있어서, 상기 X는 N, S, O 또는 C=O 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 커패시터의 형성방법.

【청구항 10】

제 8 항에 있어서, 상기 탄탈륨 산화막 형성단계 전에,

상기 하부전극 상에 산소를 함유하는 탄탈륨 전구체를 소스가스로 화학기상증착하여 상기 하부전극 표면 상에 탄탈륨 전처리막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

【청구항 11】

제 10 항에 있어서, 상기 탄탈륨 전구체는 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 또는 $\text{Ta}(\text{OCH}_3)_5$ 인 것을 특징으로 하는 반도체 커패시터의 형성방법.

【청구항 12】

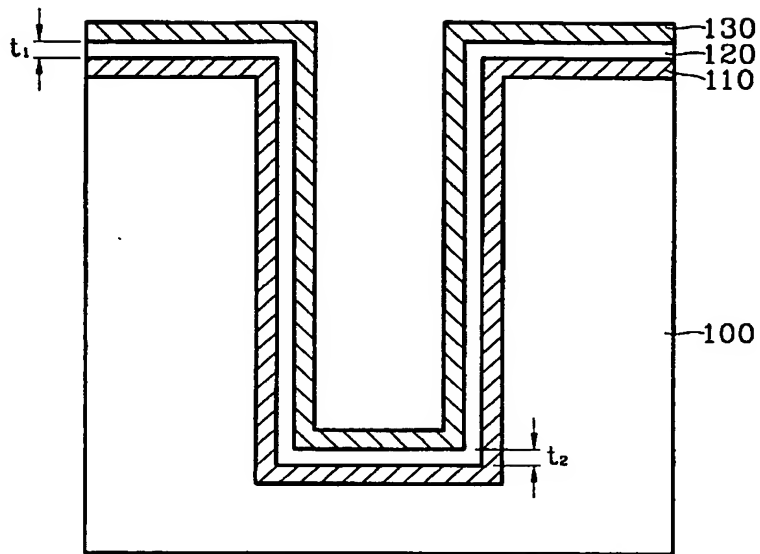
제 8 항에 있어서, 상기 하부전극은 폴리실리콘, 희금속 또는 금속 질화물인 것을 특징으로 하는 반도체 커패시터의 형성방법.

【청구항 13】

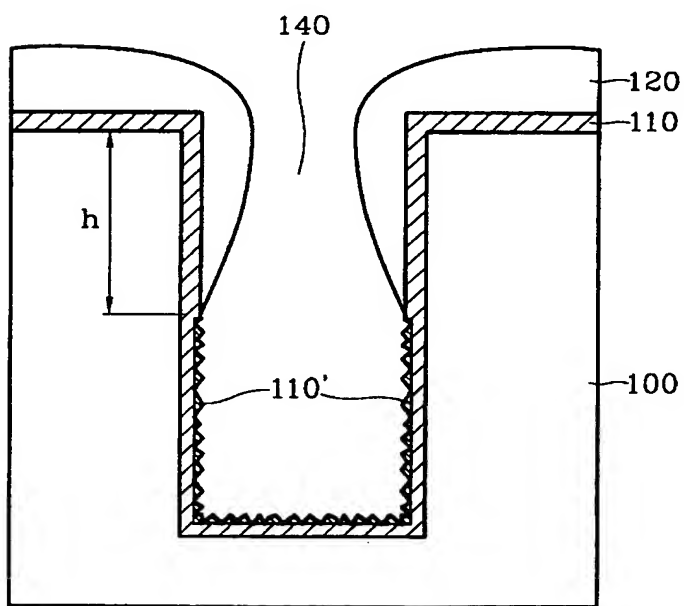
제 8 항에 있어서, 상기 퍼지가스는 아르곤 또는 질소가스인 것을 특징으로 하는 반도체 커패시터의 형성방법.

【도면】

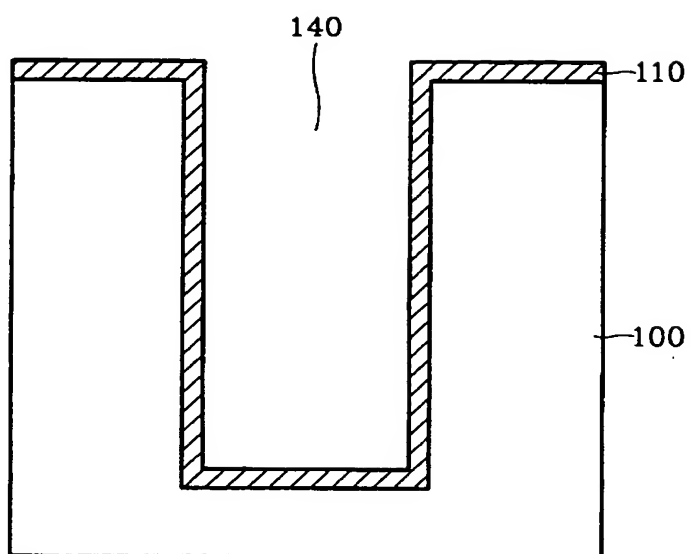
【도 1】



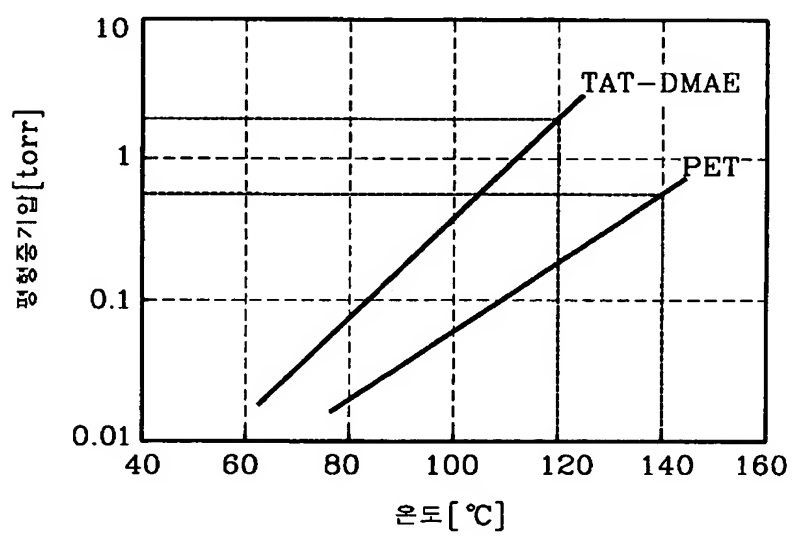
【도 2a】



【도 2b】



【도 3】



【도 4】

